

一种片上集成模拟信号累加结构的 CMOS-TDI 传感器噪声建模与分析

计成^{1,2}, 陈永平^{1*}

(1. 中国科学院上海技术物理研究所, 上海 200083;
2. 中国科学院大学, 北京 100049)

摘要: 提出了一种 16 级片上模拟累加电路结构以实现时间延迟积分(TDI)功能,累加单元以电荷放大器为基础. 为了获得更好的噪声性能,对电路结构的模拟信号链路进行了噪声分析,给出了适用于 TDI 累加的热噪声模型. 分析表明,主要随机热噪声根据累加电路工作的状态不同可以分成电荷传输噪声和直接采样噪声两部分. 给出每部分噪声与电路增益大小的关系和相应的抑制方法. 采用 0.5 μm 标准 CMOS 工艺实现了 16 \times 256 级 CMOS-TDI 探测器芯片. 流片的测试结果表明 16 级 TDI 可以获得 11.22 dB 的 SNR 提升.

关键词: CMOS 图像传感器; 时间延迟积分; 信噪比; 片上模拟域; 噪声模型
中图分类号: TN492 文献标识码:

Noise analysis of a CMOS TDI sensor with on chip signal accumulation in analog domain

Ji Cheng^{1,2}, Chen Yong-Ping^{1*}

(1. Shanghai institute of technical physics, Chinese Academy of Sciences, Shanghai 200083;
2. University of Chinese Academy of Sciences, Beijing 100049)

Abstract: This article proposes a 16-stage on-chip analog accumulation circuit architecture to realize time delay integration(TDI). The accumulation unit is based on charge amplifiers. The temporal noise on the analog signal path of the circuit structure is analyzed to enhance the noise performance, and furthermore the model of thermal noise suitable for the TDI process is given. The analysis revealed that the total thermal noise is composed of charge transfer noise and direct sampled noise, according to different stages of accumulators. The relations of each noise component versus circuit gain and corresponding method to suppress it are given. Finally, a 16 \times 256 test chip is taped out under the 0.5 μm CIS process, and test results indicate the improvement of 11.22 dB in SNR at the 16 TDI stages.

Key words: CIS, TDI, SNR, on-chip analog domain, noise model
PACS: 85.60.Dw

引言

近年来,随着 CMOS 工艺的快速发展,CMOS 图像传感器凭借其低功耗、低成本、高集成度等优点在各个领域都取得了广泛的应用. 为了进一步提高 CMOS 探测器的性能,特别是在微光探测与高速扫

描成像领域提高探测器的灵敏度和信噪比,将时间延迟积分(TDI)技术^[1]应用于 CMOS 图像传感器已成为一个重要的发展方向.

TDI 型图像传感器通过对相对移动物体的重复曝光,并将曝光结果进行累加,等效延长了像素的曝光时间,可以有效提高输出图像的信噪比. 目前在

收稿日期: 2018-07-10 修回日期: 2018-12-21
基金项目: 国家自然科学基金(61874127)

Received date: 2018-07-10 revised date: 2018-12-21

Foundation items: Supported by National Natural Science Foundation of China (61874127)

作者简介(Biography): 计成(1989-)男,江苏常州人,博士研究生,主要从事光电传感器与 ASIC 设计工作. Email: aikenji@icloud.com

* 通讯作者(Corresponding author): E-mail: chen_yp@mail.sitp.ac.cn

CMOS 上实现 TDI 信号累加的方式主要包括电荷域、模拟域和数字域三种^[2-7]。其中,电荷域累加与 CCD 工作模式类似,多次曝光的信号电荷直接在像素内累加,但这种对像素设计有特殊的要求,难以在大面阵 CMOS 探测器上推广;数字域累加多见于片外实现,信号需经 ADC 量化后再完成累加,这种方式增加了对 ADC 的速度和精度要求,同时不可避免地将量化噪声也累加到信号中。本文给出了一种以电荷放大器为基础的片上模拟域 TDI 信号累加电路。像素电压信号先在列级累加器上完成累加再由 ADC 量化,可以降低对 ADC 的速度和精度要求。同时其结构简单与传统面阵兼容度高,电路设计采用了列信号累加共用一个电荷放大器的结构,有效降低了电路面积和功耗。在设计过程中,重点考虑了探测器的热噪声影响,提出了探测器模拟累加信号链路的噪声模型。该模型根据累加器的工作状态和噪声传递过程,将噪声主要分为电荷传输噪声和直接采样噪声。讨论了两类噪声如何参与 TDI 累加和相应的抑制方法,采用 CSMC 0.5 μm 工艺实现了 16 \times 256 TDI 芯片的研制,验证了电路设计的正确性。

1 整体电路架构

图 1 是本文采用的 CMOS-TDI 探测器读出电路的整体架构。片上读出电路主要由像素阵列、列级 TDI 模拟累加电路、输出级差分放大器、行列移位寄存器、时序控制和偏置电路构成。有源像素阵列规模为 16 行 256 列,其中 along-track 方向的 16 行像素被用于实现 16 级 TDI 功能。像素结构采用 5T 结构可以兼容全局和滚筒两种曝光模式。列级 TDI 模拟累加电路包括 TDI 累加储存电容阵列、电荷放大器和采样保持电路。其中,TDI 累加储存电容阵列的规模和像素阵列一一对应。

1.1 列级 TDI 模拟累加信号链路结构

如图 2 所示是探测器的列级模拟信号链路,along-track 方向的 16 个 5T-TDI 像素共用一条列总线。作为核心部分的 TDI 模拟累加器可以在完成 TDI 累加操作的同时实现相关双采样(CDS)功能,消除像素的复位噪声。结构中虚线框内的 TDI 累加储存单元由 TDI 复位开关 φ_{RA} 、TDI 关联开关 φ_A 和累加电容 C_A 组成。考虑速度和减小电荷注入的要求,TDI 累加电容单元中使用 CMOS 互补开关并且 PMOS 和 NMOS 的尺寸比为 2 μm /0.5 μm 。累加器工作时 C_1 作为输入电容,像素在复位前后产生的光电信号通过 C_1 耦合到累加电路中;同时根据相同目

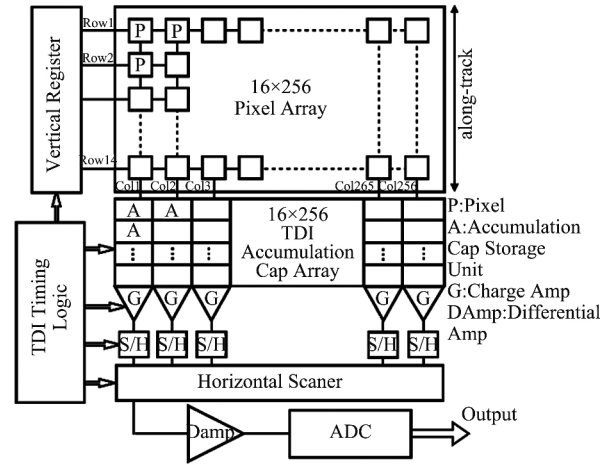


图 1 CMOS-TDI 探测器读出电路整体架构
Fig. 1 Architecture of CMOS-TDI readout circuit

标的信号总是被累加到相同电容中的 TDI 工作原理,通过 TDI 关联开关从 ($C_{A1}, C_{A2}, \dots, C_{A16}$) 中选择对应目标的电容连入放大器反馈环路中,用来储存 TDI 累加信号。累加器中的运放采用单级折叠共源共栅结构,共模输入范围为 0 到 3.8 V,输出摆幅为 0.5 到 4.8 V。为了减小增益误差,运放开环增益设计为 81 dB,相位裕度 78°。单列累加电容共用一个运算放大器,可以减小功耗和运放失调引起的 FPN。最后累加完成的信号经采样保持结构被差分输出到后级进行 ADC 量化。

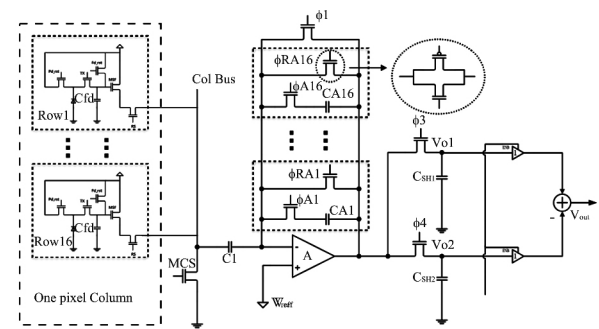


图 2 列级 TDI 模拟累加信号链路结构
Fig. 2 The column-level analog signal path of TDI accumulation circuit

1.2 TDI 累加器工作时序

图 3 是简化后 16 级 TDI 累加电路的工作时序图,探测器工作在滚筒曝光模式^[6]。定义同一目标光点在焦平面上移动一个中心距所用的时间为 T_L 。图中 #RA、#AC 和 #ROW 分别表示控制 TDI 复位开关、TDI 关联开关和行选开关的寄存器工作状态。在一个完整 T_L 时间内,行选开关依次闭合,遍历 16 级

TDI 像素, 每个像素的行选时间均为 $T_L/16$. 累加电容 ($C_{A1}, C_{A2}, \dots, C_{A16}$) 在 TDI 滚动寄存器 #AC 的控制下, 使得来自相同目标的累加信号总是被累加到相同的电容中. 例如在图上 #Line1 状态, 目标信号在 #ROW1 像素中积分完成后被存入 C_{A1} , 然后在下一个 #Line2 状态, 目标光点移动到 #ROW2 像素, 积分完成后的信号同样被存入 C_{A1} , 这样经过 16 个 T_L 后, 目标依次经过 16 级 TDI 像素, C_{A1} 累加了来自相同目标的 16 次信号, 在 #RAC 的控制下读出并复位 C_{A1} . 复位后 C_{A1} 继续对新的目标信号进行累加. 其他累加电容遵从相同的工作原理. 在一个 T_L 时间内 16 个累加电容可以实现对不同的目标信号进行 TDI 累加.

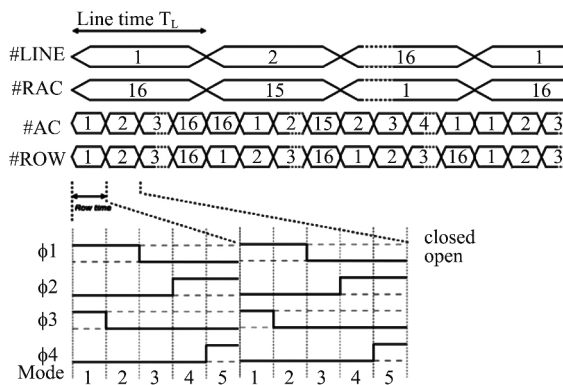


图3 简化后的 CMOS-TDI 探测器工作时序图
Fig.3 The simplified timing diagram of CMOS-TDI sensor

每个行选时间内, TDI 累加单元单次累加的工作时序根据开关的闭合状态, 可以将其分为 5 个工作状态. 与图 2 相对应, 其中 ϕ_1 表示控制放大器复位的开关信号, ϕ_2 表示控制 TDI 关联开关的使能信号, ϕ_3 和 ϕ_4 表示控制采样保持电容的开关信号. 在 1、2 状态时间内, 像素端积分完成的信号 V_s 通过源跟随器到达列级累加电路的输入端. 此时运算放大器工作在单位增益模式, 采样电容 C_{SH1} 对参考电压 V_{ref} 采样. 在状态 4 时, 与目标对应的 TDI 积分电容被接入放大器的反馈回路, 此时复位像素, 列级累加电路的输入端为复位电压 V_r . 在状态 5 时, 采样电容 C_{SH2} 完成对输出电压 V_{o2} 的采样. 根据放大器输入节点电荷守恒, 可得 N 次累加后 (累加电容 ($C_{A1}, C_{A2}, \dots, C_{A16}$) 的大小均相同数值用 C_2 表示, 下文中统一将累加电容用 C_2 表示):

$$V_{o1}[n] - V_{o2}[n] = V_{o1}[n-1] - V_{o2}[n-1] + \frac{C_1}{C_2}(V_r - V_s) \quad (1)$$

2 噪声分析

考虑到噪声会参与整个 TDI 累加过程, 所以噪声水平是影响 CMOS-TDI 性能的重要因素^[7]. 不同于 FPN 可以容易消除, 减小时域热噪声是 CMOS 器件的设计难点. 现有的研究通常只是对各个模块的噪声单独讨论, 比如源跟随器和运算放大器的噪声^[10-11], 导致模型与实际情况有部分不同, 本文结合噪声传递过程给出的噪声模型更接近实际累加器多状态工作的噪声特性.

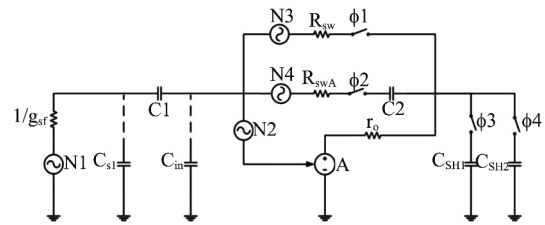


图4 单次 TDI 累加的列级等效噪声电路
Fig.4 The equivalent noise circuit of column-level TDI accumulation

本节先对单次累加过程进行噪声分析. 根据累加器的工作状态, 考虑噪声传递的过程, 其噪声主要可分为两类: 电荷传输噪声和直接采样噪声. 之后再考虑 N 次累加过程中, 两类噪声对总噪声的影响.

如图 4 所示是简化后的单次累加噪声电路. 考虑的主要独立热噪声源分别为源跟随器等效热噪声源 N_1 、高增益运算放大器的等效输入热噪声源 N_2 、复位开关的开启电阻热噪声 N_3 以及 TDI 电容关联开关的开启电阻热噪声 N_4 .

2.1 电荷传输噪声

电荷传输噪声的产生可分为两个阶段, 首先累加放大器工作在状态 1 时, 各噪声源的噪声电压在放大器的输入节点被采样为噪声电荷, 然后在状态 4 时, 这些噪声电荷转移到 TDI 累加电容 C_2 上, 在输出端表现为噪声电压. 考虑电路的独立热噪声源包括 N_1 、 N_2 和 N_3 . 此外假设电路各模式保持的时间足够长, 可以采用传输函数方法进行噪声分析.

考虑电荷传输噪声的采样阶段, 电路工作在状态 1, 此时开关 ϕ_1 、 ϕ_3 闭合, ϕ_2 、 ϕ_4 打开. 如图 5 所示是简化后状态 1 的噪声等效电路, 其中电阻 $1/g_{sf}$ 、 R_{sw} 、 r_o 分别表示像素内源跟随器的输出电阻、复位 MOS 管的开启电阻以及运算放大器的输出电阻; 电容 C_{s1} 、 C_{in} 分别表示列总线上的寄生电容、TDI 累加阵列产生的寄生电容以及运算放大器的输入电容.

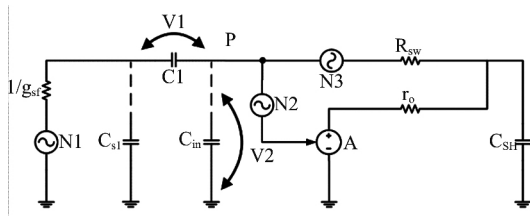


图5 状态1的等效噪声电路
Fig.5 The equivalent noise circuit of stage1

各噪声源在 P 点产生的噪声电荷均方差可以表示为

$$\overline{q_{ndf}^2} = C_1^2 \overline{v_1^2} + C_{in}^2 \overline{v_2^2} + 2C_1 C_{in} \overline{v_1 v_2} \quad (2)$$

其中 v_1 、 v_2 分别表示电容 C_1 两端的噪声电压和电容 C_{in} 两端的噪声电压。式 2 第三项表示噪声电压的相干项。由此可得噪声电荷的功率谱密度(PSD)为:

$$S_n = C_1^2 S_1 + C_{in}^2 S_2 + 2C_1 C_{in} S_{12} \quad (3)$$

$$S_1 = |H_{11}|^2 S_{n1} + |H_{12}|^2 S_{n2} + |H_{13}|^2 S_{n3} \quad (4)$$

$$S_2 = |H_{21}|^2 S_{n1} + |H_{22}|^2 S_{n2} + |H_{23}|^2 S_{n3} \quad (5)$$

$$S_{12} = \text{Re}\{H_{11} H_{21}^*\} S_{n1} + \text{Re}\{H_{12} H_{22}^*\} S_{n2} + \text{Re}\{H_{13} H_{23}^*\} S_{n3} \quad (6)$$

其中 S_n 、 S_1 、 S_2 、 S_{12} 分别表示电荷噪声的 PSD、噪声电压 v_1 的 PSD、噪声电压 v_2 的 PSD 以及噪声电压相干项的 PSD。如果只考虑 N_1 、 N_2 、 N_3 三个独立噪声源,那么 S_1 、 S_2 、 S_{12} 可进一步表示为式 4、5、6。其中 H_{ij} 表示噪声源 N_j 对噪声电压 v_i 的传输函数。

考虑电荷传输噪声的转移阶段,此时电路工作在状态 4 根据源叠加定理分析如图 6 所示的无源网络,当放大器增益足够大时,根据放大器输入节点电荷守恒可得式 7、8,由计算结果可知这些噪声电荷全部转移到 TDI 累加电容 C_2 上,在输出端表现为噪声电压。

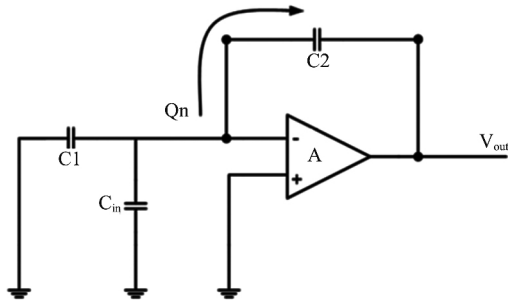


图6 在状态4噪声电荷传输到电容 C_2 上,在输出端产生噪声电压
Fig.6 The noise charge is transferred to C_2 at stage 4, resulting in the noise voltage at the output terminal

$$V_{out} = \frac{Aq_n}{C_1 + C_{in} + (1+A)C_2} \approx -\frac{q_n}{C_2} \quad (7)$$

$$\overline{v_{out}^2} \approx \frac{\overline{q_n^2}}{C_2^2} \quad (8)$$

2.2 直接采样噪声

直接采样噪声是由电容直接对噪声源采样得到。首先考虑状态 1 的等效电路,如图 7 所示,此时电容 C_{SH1} 会对噪声电压 v_{ndf} 采样,其均方差可由式 9 得到:

$$\overline{v_{ndf}^2} = \int_0^\infty [H_{1dl}^2 S_{n1} + H_{2dl}^2 S_{n2} + H_{3dl}^2 S_{n3}] df \quad (9)$$

其中 H_{1dl} 、 H_{2dl} 、 H_{3dl} 分别表示从独立噪声源 N_1 、 N_2 、 N_3 到电容 C_{SH1} 两端的传输函数。

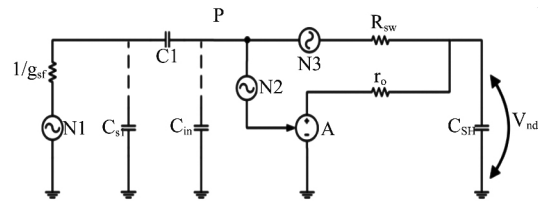


图7 在状态1等效电路中的直接采样噪声
Fig.7 The direct-sampled noise in the equivalent noise circuit of stage1

当电路工作在状态 2、3、4 时,各电容直接采样所得的噪声并非这些电容最后读出时保持的噪声,所以此处不用考虑。另外,需要考虑的是列累加结构工作在状态 5 时的直接采样噪声,如图 8 所示是状态 5 的等效电路结构。直接采样噪声 v_{ndf} 被电容 C_{SH} 采样,其均方差可由式 10 得到,其中 H_{1dl} 、 H_{2dl} 、 H_{4dl} 分别表示从独立噪声源 N_1 、 N_2 、 N_4 到电容 C_{SH} 两端的传输函数。

$$\overline{v_{ndf}^2} = \int_0^\infty [H_{1dl}^2 S_{n1} + H_{2dl}^2 S_{n2} + H_{4dl}^2 S_{n3}] df \quad (10)$$

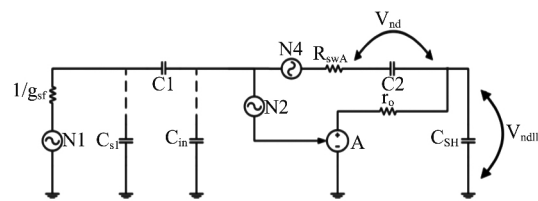


图8 在状态5等效电路中的直接采样噪声
Fig.8 The direct-sampled noise in the equivalent noise circuit of stage5

最后还需要考虑电容 C_2 采样得到的采样噪声 v_{nd} 这是因为在上文计算噪声电荷转移到 C_2 的过

程中, 根据源叠加定理, 只分析了无源网络. 所以如图 8 所示, 此处需要计算噪声源 N_1 、 N_2 、 N_4 产生的直接采样噪声 v_{nd} . 此噪声被电容 C_2 采样, 得到噪声电荷 Q_{nd} , 其均方差可由式 12 得到, 其中 H_{1d} 、 H_{2d} 、 H_{4d} 分别表示从独立噪声源 N_1 、 N_2 、 N_4 到电容 C_2 两端的传输函数.

$$q_{nd} = C_2 v_{nd} \quad , \quad (11)$$

$$\overline{q_{nd}^2} = C_2^2 \int_0^\infty [H_{1d}^2 S_{n1} + H_{2d}^2 S_{n2} + H_{4d}^2 S_{n3}] df \quad . \quad (12)$$

2.3 TDI 累加噪声

对于单次累加, 根据噪声的产生机制, 我们把噪声分为电荷传输噪声和直接采样噪声. 而对于整个 TDI 累加过程, 我们可以根据各噪声参与的过程不同将其分为两类: 一类是参与累加过程的噪声; 还有一类是参与读出过程的噪声.

首先, 分析参与累加过程的噪声, 这部分噪声主要表现是能够以噪声电荷的形式累加到 TDI 电容 C_2 上, 并且随着 TDI 累加级数的增加, 这些噪声电荷能够非相干叠加. 根据上文的分析, 可以知道电荷传输噪声 q_{mf} 属于这类参与累加过程的噪声; 另一种累加噪声是模式 5 中电容 C_2 上的直接采样噪声, 这部分由电容 C_2 直接采样得到的噪声电荷 q_{nd} 被保持在 TDI 累加电容内, 并且在每次 TDI 累加过程中, 同样都能够非相干的叠加.

接着, 分析参与读出过程的噪声, 列级 TDI 累加电路在完成相应级数的 TDI 累加后, 会经过采样保持再差分读出. 考虑如图 2 所示的采样保持电路, 其中电容 $SH1$ 在状态 1 采样了参考电压和直接采样噪声 v_{ndI} , 电容 $SH2$ 在状态 5 采样了参考电压和直接采样噪声 v_{ndII} , 然后经过差分电路, 参考电压部分被抵消, 这样可以有效消除列级 FPN 的影响; 但是由于直接采样噪声的时间非相干性, 直接采样噪声部分会被叠加起来.

根据以上分析可以得到 N 级 TDI 列级噪声的表达式:

$$\overline{v_{tot}^2} = \frac{1}{C_2^2} \{ N \overline{q_{mf}^2} + (N-1) \overline{q_{nd}^2} \} + \overline{v_{ndII}^2} + \overline{v_{ndI}^2} \quad , \quad (13)$$

$$\overline{v_{n \text{ in RMS}}^2} = \frac{\overline{v_{tot}^2}}{G} \quad , \quad (14)$$

其中, 式 14 表示以列级电路输入节点为参考的等效输入 RMS 噪声电压, 电路增益为 G , 即 C_1/C_2 . 需要注意的是在式 13, 在 N 次叠加过程中, 电容 C_2 上的

直接采样噪声 q_{nd} 只叠加了 $N-1$ 次, 这是因为在最后第 N 次累加时, 只对采样保持电容 C_{SH2} 上的噪声电压进行了采样.

2.4 噪声模拟结果

采用表 1 中的参数模拟计算单次累加列累加电路的噪声特性, 以列累加电路输入端为参考节点计算等效输入噪声, 电路的增益由 C_1/C_2 计算得到, 其中 C_2 取 1 pF, 改变 C_1 的大小使增益从 0.2 逐渐增加到 2. 如图 9 所示增大 C_1 可以有效抑制不参与累加的直接采样噪声, 而电荷传输噪声当电容 C_1 发生变化时大小近似保持不变. 另外, 参与累加的直接采样噪声有较缓慢的减小. 直接采样噪声比电荷传输噪声减小的幅度更快, 这是因为相比电荷传输噪声, 直接采样噪声不仅 PSD 峰值的频率在减小而且峰值的大小也在减小.

表 1 噪声模拟中使用的重要电路参数

Table 1 Important circuit parameters used in noise simulation

参数	数值
像素内源跟随管跨导 g_{sf}	1×10^{-3} S
列运放输出电阻 r_o	100 k Ω
开关 φ_1 开启电阻 R_{sw}	1 k Ω
开关 φ_2 开启电阻 R_{Asw}	1 k Ω
列总线上的寄生电容 C_{s1}	1 pF
列运放寄生输入电容 C_{in}	15 fF
采样保持电容 C_{SH1}	1 pF
采样保持电容 C_{SH2}	1 pF
运放开环增益 A_o	1 000
运放带宽 BW	100 kHz
像素内源跟随管噪声 $N1$ 的 PSD	1×10^{-15} V ² /Hz
列运放噪声 $N2$ 的 PSD	3×10^{-15} V ² /Hz
开启电阻 R_{sw} 噪声 $N3$ 的 PSD	1×10^{-16} V ² /Hz
开启电阻 R_{Asw} 噪声 $N4$ 的 PSD	1×10^{-16} V ² /Hz

如图 10 等效输入 RMS 噪声电压随电容 C_2 ($C_1 = 100$ fF) 大小的变化关系曲线, 可以发现电荷传输噪声与 C_2 大小无关并且比其他类型的直接采样噪声影响更大, 因此如何减小电荷传输噪声是减小电路总噪声的一个重要因素.

根据表中 2-1 数据和式 13、14 计算 TDI 等效输入总噪声, 其中电容 C_2 取 100 fF, 电容 C_1 从 100 fF 变化到 1 pF, 即增益从 1 增加到 10. 图 10 是 TDI 等效输入总噪声随 TDI 累加级数的变化关系曲线, 提高增益可以有效减小 TDI 总噪声, 但是随着增益的增大, 噪声的减弱效果会减小, 当增益超过 3 时, 16 级的 RMS 噪声电压减小幅度将小于 200 μ V. 这是因为部分参与读出的直接采样噪声对增益的变化较敏感, 所以当增益增大时这部分噪声衰减较快, 剩下

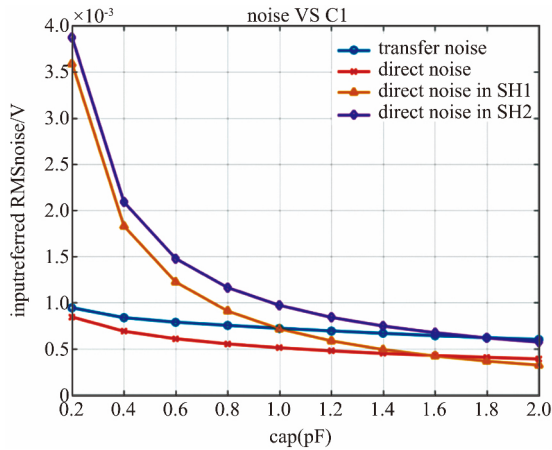


图9 单次累加过程中等效输入 RMS 噪声电压随电容 C_1 变化关系

Fig.9 The diagram of input-referred RMS noise voltage vs C_1 in single accumulation stage

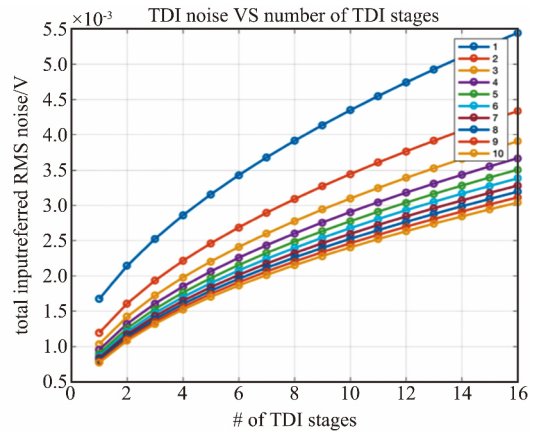


图11 TDI 等效输入总噪声电压随 TDI 累加级数的变化关系曲线

Fig.11 The diagram of total input-referred RMS noise voltage vs stage number of TDI

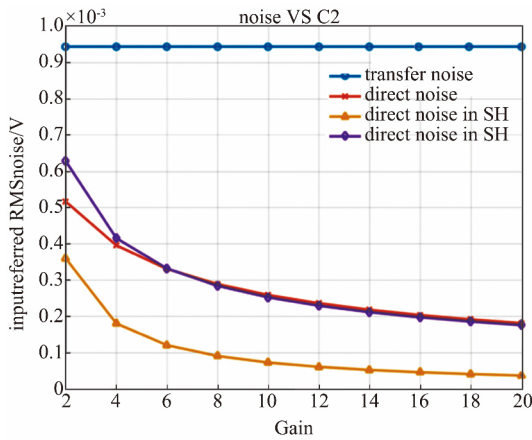


图10 单次累加过程中等效输入 RMS 噪声电压随电容 C_2 变化关系

Fig.10 The diagram of input-referred RMS noise voltage vs C_2 in single accumulation stage

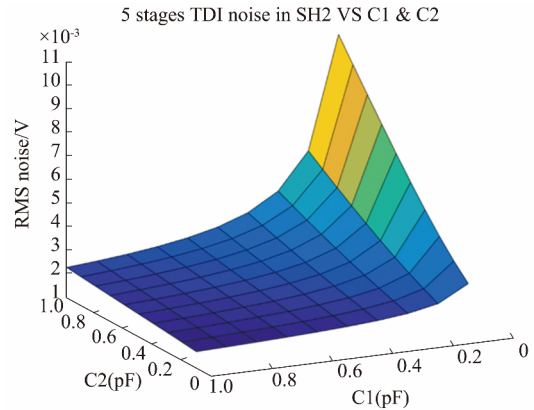


图12 5级 TDI 累加后的等效输入 RMS 总噪声随电容 C_1 、 C_2 大小的变化关系

Fig.12 The diagram of total input-referred RMS noise voltage vs C_1 and C_2 in 5-stages TDI accumulation

对增益不那么敏感的电荷传输噪声和部分参与累加的直接采样噪声。

如图12所示是 TDI 模拟累加器在5次累加后的等效输入噪声随 C_1 和 C_2 大小的变化关系。当 C_1 大于 300 fF, C_2 小于 800 fF 的深色范围内, 电容的大小对噪声影响较小。从速度和版图面积角度综合考虑, 最终设计电容 C_1 取 300 fF, C_2 取 100 fF。

3 测试结果

测试电路在 CSMC 的 0.5 μm 工艺下完成流片, 如图13所示是探测器芯片版图, 其中 TDI 累加电容使用 cpip 电容结构, 其单位面积电容率为

0.723 fF/ μm^2 。测试系统以积分球作为光源, T_L 设定为 490 μs , 片上信号经 10 bit-ADC 量化后, 由 lab-view 采集并分析。表2所示是 CMOS-TDI 探测器测试芯片的重要技术参数。根据近年来数字域 TDI 的研究^[12-13]结果, 16 级数下每列的功耗约为 153 μW , 该结构在实现相同信噪比提高的同时, 可以将探测器每列的功率减小为 43 μW 。

图14是测试芯片在不同光强下读出电压随 TDI 级数的变化关系曲线。此时累加信号处于电路的非饱和区, 读出电压随 TDI 级数近似保持线性关系。考虑 TDI 累加电容和关联开关的漏电效应, 曲线表现出一定的非线性, 由式15计算非线性度, 其中 ΔY_{max} 指探测器实测曲线与拟合直线间的最大偏差,

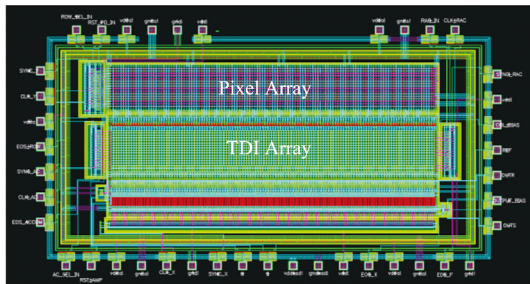


图 13 TDI 读出电路的版图结构
Fig. 13 the layout of ROIC under 0.5 μm CSNC technology

表 2 CMOS-TDI 探测器测试芯片的重要技术参数
Table 2 Performance summary of CMOS-TDI test chip

Parameters	Performance
Technology	0.5 CSMC
Resolution	16x256
Pitch	30x30
FF	56%
Conversion Gain	8.8
FWC	114
DR	61 dB
Junction cap	18 fF
SNR boost	11.23 dB
Pwr/Col	43 μW

Y 表示曲线最大值. 累加电路的非线性度在 0.1 nit 时为 2.519% 0.06nit 时为 2.513%.

$$\zeta = \frac{|\Delta Y_{\max}|}{Y} \times 100\% \quad , \quad (15)$$

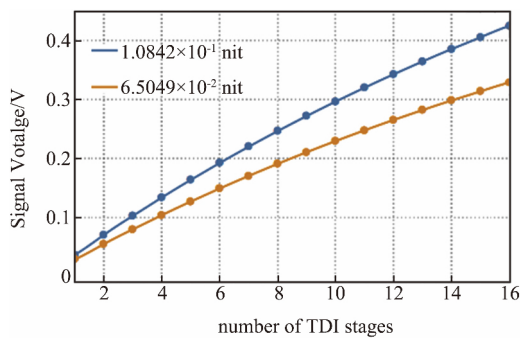


图 14 不同强光下光信号读出电压与 TDI 级数的关系
Fig. 14 the diagram of signal voltage vs TDI number under different illumination

图 15 是光照强度为 0.1 nit 时,光信号电压的 SNR 随 TDI 级数的变化关系曲线,通过比较无 TDI 累加时的读出信号 SNR(即曲线上 TDI 级数等于 1 时的 SNR 值) 8 级 TDI 累加的 SNR 提升了 8.3 dB,略小于理论值 9 dB; 16 级 TDI 累加的 SNR 提升了 11.22 dB 略小于理论值 12 dB.

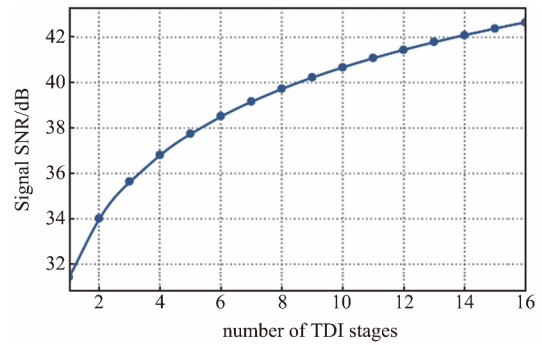


图 15 光照强度为 0.1 nit 时,光信号电压的 SNR 随 TDI 级数的变化关系曲线
Fig. 15 the diagram of signal SNR vs TDI number under illumination of 0.1 nit

4 结论

针对传感器提高信噪比的问题,提出一种 16 级片上集成模拟信号累加电路的 CMOS-TDI 传感器结构. 给出了适用于 TDI 累加过程的模拟链路噪声模型. 根据传感器的工作状态不同,将噪声分为电荷传输噪声和直接采样噪声,得到了两类噪声与 N 级 TDI 累加总噪声的关系. 模拟结果表明通过增大增益可以有效抑制部分直接采样声. 在 0.5 μm 标准 CMOS 工艺下完成了 16 × 256 级 CMOS-TDI 探测器芯片,流片的测试结果表明 16 级 TDI 可以获得 11.22 dB 的 SNR 提升. 该探测器结构在微光探测领域具有应用前景.

References

- [1] D Barbe, "Time delay and integration image sensors," *Solid state imaging*, vol. 659, 1976.
- [2] M G Farrier and R. H. Dyck, "A Large Area TDI Image Sensor for Low Light Level Imaging," in *IEEE J. Solid-State Circuits* vol. 15, ed: IEEE, 1980, pp. 753-758.
- [3] F K Tsai, H Y Huang, L K Dai, et al, "A time-delay-integration CMOS readout circuit for IR scanning," in *ICECS-02* vol. 1, ed: IEEE, 2002, pp. 347-350.
- [4] H Yu, X Qian, S Chen, and K S Low, "A Time-Delay-Integration CMOS image sensor with pipelined charge transfer architecture," in *2012 IEEE International Symposium on Circuits and Systems -ISCAS 2012*, ed: IEEE, 2012, pp. 1624-1627.
- [5] K Nie, S Yao, J Xu, and J Gao, "Thirty Two-Stage CMOS TDI Image Sensor With On-Chip Analog Accumulator," in *IEEE Trans. VLSI Syst.* vol. 22, ed: IEEE, 2014, pp. 951-956.
- [6] Ceylan, Omer, et al. "Implementation of TDI based digital pixel ROIC with 15 μm pixel pitch." *Infrared Technology and Applications XLII*. Vol. 9819. International Society for Optics and Photonics, 2016.

(下转第 96 页)

- tery [J]. *Journal of Physical Chemistry C*, 2016, **120** (25).
- [6] Zhou Peng, Wei Hong-Qiang, SUN Hai-Tao, et al. High-k gate oxides integration of graphene based infrared detector [J]. *J. Infrared Millim. Waves*, (周鹏,魏红强,孙清清,等. 石墨烯基红外探测器的高 k 栅氧集成. 红外与毫米波学报) 2012, **31**(2): 118-121.
- [7] Mueller T, Xia F, Avouris P. Graphene photodetectors for high-speed optical communications [J]. *Nature Photonics*, 2010, **4**(5): 297-301.
- [8] Echtermeyer T J, Britnell L, Jasnós P K, et al. Strong plasmonic enhancement of photovoltage in graphene. [J]. *Nature Communications*, 2011, **2**(1): 458.
- [9] Wang X, Cheng Z, Xu K, et al. High-responsivity graphene/silicon-heterostructure waveguide photodetectors [J]. *Nature Photonics*, 2013, **7**(11): 888-891.
- [10] Engel M, Steiner M, Lombardo A, et al. Light - matter interaction in a microcavity-controlled graphene transistor [J]. *Nature Communications*, 2012, **3**(2): 906.
- [11] Furchi M, Urich A, Pospischil A, et al. Microcavity-integrated graphene photodetector [J]. *Nano Lett*, 2012, **12** (6): 2773-2777.
- [12] Zeng L, Xie C, Tao L, et al. Bilayer graphene based surface passivation enhanced nano structured self-powered near-infrared photodetector [J]. *Optics Express*, 2015, **23** (4): 4839-46.
- [13] Liberato S D. Perspectives for gapped bilayer graphene polaritonics [J]. *Physics*, 2015, **92**.
- [14] LI Jia-Bin, LIU Hong-Xia, WU Lei. The photoelectric property of graphene modified by boron and nitrogen atoms from density functional theory calculation [J]. *J. Infrared Millim. Waves* (李佳斌,刘红侠,吴磊. 第一性原理计算硼和氮原子对石墨烯光电性能的调制. 红外与毫米波学报) 2018, **37**(1): 25-29.
- [15] Xu Shicai, Studies of Graphene on Preparation, Characterization, Optoelectronic Properties and Applications [D], Shandong Normal University (许士才. 石墨烯的制备、表征及光电性质应用研究. 山东师范大学), 2014.
- [16] Vincenti M A, De C D, Grande M, et al. Nonlinear control of absorption in one-dimensional photonic crystal with graphene-based defect. [J]. *Optics Letters*, 2013, **38** (18): 3550.
- [17] T. Siefke, S. Kroker, K. Pfeiffer, et al. Materials pushing the application limits of wire grid polarizers further into the deep ultraviolet spectral range, *Adv. Opt. Mater.* 2016 **4**: 1780-1786.
- [18] L. Gao, F. Lemarchand, M. Lequime. Refractive index determination of SiO₂ layer in the UV/Vis/NIR range: spectrophotometric reverse engineering on single and bilayer designs, *J. Europ. Opt. Soc. Rap. Public.* 2013, **8**: 13010.
- [19] R. Boidin, T. Halenkovi c, V. Nazabal, et al. Pulsed laser deposited alumina thin films, *Ceramics International.* 2016 **42**: 1177-1182.

(上接第 67 页)

- [7] Xu, Jiangtao, et al. "A Global Shutter High Speed TDI CMOS Image Sensor With Pipelined Charge Transfer Pixel." *IEEE Sensors Journal* 18.7 (2018): 2729-2736.
- [8] G Lepage, J Bogaerts, and G Meynants, "Time-Delay-Integration Architectures in CMOS Image Sensors," *IEEE Transactions on Electron Devices*, vol. 56, pp. 2524-2533, 2009.
- [9] Kawai N, Kawahito S. Noise analysis of high-gain, low-noise column readout circuits for CMOS image sensors [J]. *IEEE Transactions on Electron Devices*, 2004, **51** (2): 185-194.
- [10] Yu, Hang, et al. "An 8-stage time delay integration CMOS image sensor with on-chip polarization pixels." *Circuits and Systems (ISCAS)*, 2015 IEEE International Symposium on. IEEE, 2015.
- [11] Yu, Hang, et al. "An Antivibration Time-Delay Integration CMOS Image Sensor With Online Deblurring Algorithm." *IEEE Trans. Circuits Syst. Video Techn.* 26.8 (2016): 1544-1554.
- [12] Yin, Chin, et al. "A 32-stage 15-b digital time-delay integration linear CMOS image sensor with data prediction switching technique." *IEEE Transactions on Electron Devices* 64.3 (2017): 1167-1173.
- [13] Nie, Kaiming, Jiangtao Xu, and Zhiyuan Gao. "A 128-stage CMOS TDI image sensor with on-chip digital accumulator." *IEEE Sensors Journal* 16.5 (2016): 1319-1324.